

日 本 国 特 許 庁
JAPAN PATENT OFFICE

KAWAMA et al
March 18, 2004
BSKB, LLP
703-205-8000
1248-0704P
1041

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 4 月 2 日

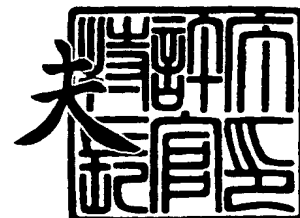
出 願 番 号
Application Number: 特 願 2 0 0 3 - 0 9 8 8 4 4
[ST. 10/C]: [J P 2 0 0 3 - 0 9 8 8 4 4]

出 願 人
Applicant(s): シャープ株式会社

2 0 0 4 年 1 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 1 7 6 1

【書類名】 特許願

【整理番号】 03J01372

【提出日】 平成15年 4月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H03H 19/00

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 河間 修一

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 東 慎一郎

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 飯塚 邦彦

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【電話番号】 06-6621-1221

【代理人】

【識別番号】 100103296

【弁理士】

【氏名又は名称】 小池 隆彌

【電話番号】 06-6621-1221

【連絡先】 電話 0 6 - 6 6 0 6 - 5 4 9 5 知的財産権本部

**【選任した代理人】****【識別番号】** 100073667**【弁理士】****【氏名又は名称】** 木下 雅晴**【手数料の表示】****【予納台帳番号】** 012313**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9703283**【包括委任状番号】** 9703284**【プルーフの要否】** 要



【書類名】 明細書

【発明の名称】 スイッチトキャパシタ・フィルタおよびデジタル無線受信機

【特許請求の範囲】

【請求項 1】 アンプとスイッチトキャパシタからなる積分回路の複数段構成の、少なくとも 1 段目の積分回路に抵抗が使用されているアンチエイリア

シング機能を組み込んだスイッチトキャパシタ・フィルタにおいて、

上記アンプはバイポーラトランジスタを含んでいることを特徴とするスイッチトキャパシタ・フィルタ。

【請求項 2】 アンプとスイッチトキャパシタからなる積分回路の複数段構成の、少なくとも 1 段目の積分回路に抵抗が使用されているアンチエイリアシング機能を組み込んだスイッチトキャパシタ・フィルタにおいて、

上記抵抗が使用されている 1 個以上の積分回路のアンプの入力段はバイポーラトランジスタを含んでいることを特徴とするスイッチトキャパシタ・フィルタ。

【請求項 3】 アンプとスイッチトキャパシタからなる積分回路の複数段構成の、少なくとも 1 段目の積分回路に抵抗が使用されているアンチエイリアシング機能を組み込んだスイッチトキャパシタ・フィルタにおいて、

上記積分回路は複数段構成の各段でのフィルタリング機能が維持できるようゲインが配分され、さらに $1/f$ 雑音削減効果の高いアンプの入力段はバイポーラトランジスタを含んでいることを特徴とするスイッチトキャパシタ・フィルタ。

【請求項 4】 入力段にバイポーラトランジスタが含まれている上記アンプの入力インピーダンスは、自己の入力に接続されている上記抵抗より十分大きいことを特徴とする請求項 1 乃至 3 に記載のスイッチトキャパシタ・フィルタ。

【請求項 5】 同一の基板上に形成されていることを特徴とする請求項 1 乃至 3 に記載のスイッチトキャパシタ・フィルタ。

【請求項 6】 請求項 1 乃至 3 に記載のスイッチトキャパシタ・フィルタを、低中間周波数を用いるデジタル無線放送または通信の受信機の中間周波数部、あるいは、中間周波数を用いないデジタル無線放送または通信の受信機のアナログベースバンド部に用いたことを特徴とするデジタル無線受信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アンチエイリアシング機能を包含したスイッチトキャパシタ・フィルタの低雑音化に関わる。

【0002】

【従来の技術】

スイッチトキャパシタを用いた離散時間フィルタは、ある単位時間毎に、サンプリングされたアナログ信号を入力する必要がある。このため、通常の連続時間信号であるアナログ信号を、このスイッチトキャパシタ・フィルタに入力するためには、このフィルタの前に、サンプル／ホールド（S／H）回路が必要である。なお、スイッチトキャパシタ・フィルタの初段において、スイッチトキャパシタ回路の構成を工夫することにより、S／H機能を付けることができる。なお、サンプリング動作によって生じるエイリアシング雑音（Aliasing Noise、異名雑音、折り返し雑音とも呼ばれる、サンプリング周波数の2分の1の周波数以上の成分がサンプリング周波数の1／2の周波数内に入り込んで雑音となる）を除くために、S／H回路の前に、サンプリング周波数の1／2以上の周波数成分を十分に減衰させるための連続時間ローパス・フィルタを置く必要がある。この連続時間フィルタをアンチエイリアシング・フィルタと呼ぶ。

【0003】

そこで、我々はこのアンチエイリアシング機能を組み込んだスイッチトキャパシタ・フィルタを提案している（例えば、非特許文献1 参照。）。これは、スイッチトキャパシタの初段を含む連続した数段のスイッチトキャパシタの一部を抵抗に置き換えることで、置き換えた各段が連続時間アナログ信号と離散時間アナログ信号の両方を扱い、その結果、連続時間アナログ信号の高域成分をエイリアシングが起きないレベルまで減衰させる一方、スイッチトキャパシタ・フィルタとしての減衰特性を維持したまま離散時間信号を出力するフィルタである。これにより、スイッチトキャパシタ・フィルタの前に別途アンチエイリアシング・フィルタを設ける必要がなくなる。

【0004】

図4のアンチエイリアシング機能を組み込んだスイッチトキャパシタ・3次ローパス・フィルタを用いて、このフィルタの動作を説明する。このフィルタは、1段目としてアンプA1（図中101）と入力抵抗R1（131）、帰還抵抗R2（132）、帰還キャパシタC1（141）からなる不完全積分回路と、2段目としてアンプA2（102）と入力抵抗R3（133）、帰還キャパシタC2（142）からなる積分回路と、3段目としてアンプA3（103）と入力スイッチトキャパシタSC3（113）、帰還スイッチトキャパシタSC4（114）、帰還キャパシタC3（143）からなる不完全積分回路の3段の積分回路が縦続接続されており、1段目、2段目のアンプ入力には、次段アンプ出力がそれぞれスイッチトキャパシタSC1（111）、SC2（112）を通して帰還されている。

【0005】

ここで、積分回路は理想的には周波数0でゲインが無限大となるのに対し、周波数0で有限のゲインを持つ構成の積分回路のことを不完全積分回路と呼ぶ。なお、抵抗R1（131）～R3（133）は、最初にスイッチトキャパシタとしてフィルタを設計した後、抵抗に置き換えられたものである。このとき、フィルタの特性が設計段階より多少ずれるため、入力抵抗、帰還抵抗、帰還キャパシタとスイッチトキャパシタ内のキャパシタの値の調整が必要である。これらの構成により、1段目と2段目は連続時間アナログ信号を扱うことができる。この1段目と2段目からなる回路が連続時間信号のローパス・フィルタとして働き、アンチエイリアシング機能を実現する。つまり、2段目出力には、エイリアシング雑音が除去されている。

【0006】

3段目の回路は離散時間信号のみを扱うようにする。このため、2段目出力信号をサンプリングしなければならない。そこで、スイッチトキャパシタSC3（113）内のキャパシタの両端がアンプA2（102）出力とアンプA3（103）入力に同時には繋がらないように、SC3（113）内のスイッチを動作させる。3段目回路の出力に接続されたスイッチトキャパシタSC1（111）、SC2（112）を通して、1段目、2段目回路にも離散時間信号が流れる。こ

の結果、3次ローパス特性を持った離散時間信号がこのフィルタから出力される。つまり、このフィルタは3次スイッチトキャパシタ・ローパス・フィルタの中に2次アンチエイリアシング・フィルタを包含している。

【0007】

スイッチトキャパシタ・フィルタの重要構成回路であるスイッチトキャパシタ回路を有効に働くには、サンプリング毎にキャパシタに蓄えられた電荷が次のサンプリングまで漏れることなく保存される必要がある。そのため、スイッチトキャパシタが接続されるアンプの入力部は、 $1\text{ T}\Omega$ ($10^{12}\Omega$) オーダーの極めて高い入力インピーダンスを持つ金属酸化物半導体電界効果トランジスタ (MOS FET、以下MOSトランジスタと呼ぶ) が使われる。当然、我々が開発したアンチエイリアシング機能を組み込んだスイッチトキャパシタ・フィルタもアンプの入力部にはMOSトランジスタを使ってきた。

【0008】

図5にMOSトランジスタを用いたアンプの一構成例を示す。図5のアンプは、折り返しカスコード型 (Folded-Cascode) と呼ばれる構成を持つ。このアンプの入力段は、信号入力部としてのNチャネルMOSトランジスタM1 (図中501)、M2 (502) と負荷のPチャネルMOSトランジスタM3 (203)、M4 (204)、これらMOSトランジスタにバイアス電流を与える定電流源I (211) からなる差動アンプ構成となっている。そして、次段のPチャネルのトランジスタM5 (205)、M6 (206) はそれぞれトランジスタM1 (501)、M2 (502) と折り返したカスコード接続の関係にある。そして、これらM5 (205)、M6 (206) の負荷としてNチャネルトランジスタM7 (207)、M8 (208) が接続されている。トランジスタM3 (203)、M4 (204)、M7 (207)、M8 (208) は抵抗でも良い。なお、トランジスタM3 (203) ~ M8 (208) のゲートにはそれぞれ最適なバイアス電圧Bias1、Bias2、Bias3が与えられている。

【0009】

2つのトランジスタM1 (501)、M2 (502) のゲート間に信号電圧を入力すると、2つのトランジスタM1 (501)、M2 (502) それぞれのソ

ース・ドレイン間に流れる電流に変換され、これら電流により、トランジスタM5 (205)、M6 (206) に流れる電流が変化し、トランジスタM7 (207)、M8 (208) の出力抵抗により電圧に変換され信号電圧が現れる。このときトランジスタM7 (207) とM8 (208) ソース間に現れる差動出力電圧は増幅されている。当然、入力部のトランジスタM1 (501)、M2 (502) のゲートには電流は流れにくいため、入力インピーダンスは非常に高くできる。

【0010】

ところで、MOSトランジスタは周波数に反比例したパワーの周波数特性を持つ雑音 ($1/f$ 雑音またはフリッカ雑音) が大きい。増幅回路やフィルタなどは、その入力部で発生する雑音回路全体の雑音を支配する。このため、スイッチトキャパシタ・フィルタは、大きなS/N比を満たさなければならない場合などに、この $1/f$ 雑音が問題となることがある。非特許文献1のフィルタは、第3世代携帯電話のひとつであるW-CDMA携帯電話のスーパーヘテロダイン方式の受信機のベースバンド部に用いることを想定して作られた(図6(a)参照)。そのため、このフィルタの入力信号は、高周波(RF(Radio Frequency))部や中間周波数(IF(Intermediate Frequency))部にある他のフィルタと増幅器の作用により、ある程度まで帯域制限されかつ信号レベルも高い一方、妨害波レベルは低かった。したがって、フィルタ自身の雑音レベルは、あまり小さくなくても良かった。

【0011】

しかし、地上波デジタルテレビ等のデジタル無線放送や多チャネル無線通信において、中間周波数が非常に低いLow-IF方式や、IFを用いないZero-IFあるいは直接変換(Direct-Conversion)方式の受信機では、所望チャネルの選択を行うために、このアンチエイリアシング機能を組み込んだスイッチトキャパシタ・フィルタをIF部あるいはベースバンド部に使用する(図6(b)参照、なおベースバンド部のフィルタはバンドパスフィルタとなっているが、ローパスフィルタが使われることがある)。このとき、RF部でほとんど帯域制限されないか、されても所望チャネルを含むがはるかに広い

帯域の周波数成分がフィルタ入力に入り込む。このとき、所望チャネル信号以外の成分（つまり妨害波）が信号レベルよりかなり高いケースもあり得る。そのため、フィルタが飽和してフィルタリング機能が損なわれることがないように、フィルタ入力レベルを妨害波のレベルに合わせる必要がある。この場合、信号の入力レベルは非常に低くなるので、フィルタ自身が発生する $1/f$ 雑音のレベルとの差が小さくなり、この雑音を無視できなくなる。

【0012】

そこで、この $1/f$ 雑音を除く手段として、チョップパを利用する方法がある（例えば、特許文献1 参照。）。この方法を用いたローパス・フィルタについて、図7を用いて説明する。図7上段はローパス・フィルタのブロック図、下段は上段各ブロック入出力における周波数特性で、横軸が周波数、縦軸が振幅あるいはパワーを表している。サンプリング周波数が $2F_s$ のスイッチトキャパシタ・ハイパス・フィルタ401の入力、出力それぞれに周波数 F_s 、振幅 ± 1 の矩形波信号 S_{sw} を乗算器402、403で掛ける、つまり、フィルタ入出力信号をチョップする。これは、フィルタ401の入出力をそれぞれ矩形波信号で変調していることを意味する。これにより、乗算器402の入力の信号成分 S_{in} が乗算器402出力では F_s 付近に移動し、これがフィルタ401内でフィルタリングされて信号成分 S_f が出力される。

【0013】

一方フィルタ401内で生じた $1/f$ 雑音 N はそのままの低域に残る。そして、乗算器403出力では、フィルタリングされた周波数 F_s 付近の信号成分 S_f が低域に移動し、逆に $1/f$ 雑音 N は周波数 F_s 付近に移動するため、低域には $1/f$ 雑音 N は現れない。よって、低域における S/N 比は改善される。

【0014】

【特許文献1】 特開平7-202637号公報（第3-4頁、図1）

【非特許文献1】 東慎一郎（Shin'ichiro Azuma）他、「アンチエイリアシング機能を組み込んだ可変利得及びオフセット補償機能付きスイッチトキャパシタはしご型フィルタ（Embedded Anti-Aliasing in Switched-Capacitor Ladder

Filters With Variable Gain and Offset Compensation)」、アイトリプルイー・固体回路論文誌 (IEEE Journal of Solid-State Circuits)、米国電気電子技術者協会 (Institute of Electrical and Electronics Engineers)、第37巻、第3号、2002年3月、P. 349-356

【0015】

【発明が解決しようとする課題】

しかし、このチョッパを用いた方法では、図7からわかるように、予めフィルタ入力信号 S_{in} は帯域制限されていなければならない。よって、今回のアンチエイリアシング機能を組み込んだスイッチトキャパシタ・フィルタに、この方法を適用するには、予め帯域制限用のローパス・フィルタ、つまりアンチエイリアシング・フィルタが別途必要であるため、アンチエイリアシング機能を組み込んだ意味が無くなってしまう。

【0016】

そこで本発明は、アンチエイリアシング機能を組み込んだスイッチトキャパシタ・フィルタに最適な、 $1/f$ 雑音を低減する手段を提供することを目的とする。

【0017】

【課題を解決するための手段】

本発明は、アンプとスイッチトキャパシタからなる積分回路の複数段構成の、少なくとも1段目の積分回路に抵抗が使用されているアンチエイリアシング機能を組み込んだスイッチトキャパシタ・フィルタにおいて、上記アンプはバイポーラトランジスタを含んでいることを特徴とするスイッチトキャパシタ・フィルタ。バイポーラトランジスタの発生する $1/f$ 雑音は、MOSトランジスタよりかなり少ない。よって、フィルタ全体の $1/f$ 雑音を減少させることができる。

【0018】

特に、アンプとスイッチトキャパシタからなる積分回路の複数段構成の、少なくとも1段目の積分回路に抵抗が使用されているアンチエイリアシング機能を組

み込んだスイッチトキャパシタ・フィルタにおいて、この抵抗が使われている 1 個以上の積分回路のアンプの入力段はバイポーラトランジスタ含んでいることを特徴とするスイッチトキャパシタ・フィルタである。よって、アンプの入力段で発生する $1/f$ 雑音が減少する。そして、アンプ入力段で発生する雑音がアンプ全体に与える影響は大きいので、当然フィルタ全体の $1/f$ 雑音を大幅に減少させることができる。

【0019】

また、積分回路は複数段構成の各段でのフィルタリング機能が維持できるようゲインが配分され、 $1/f$ 雑音削減効果の高いアンプの入力段はバイポーラトランジスタを含んでいることを特徴としている。これにより、所望チャネル信号以外の成分（つまり妨害波）が信号レベルよりかなり高い場合でも、フィルタが飽和してフィルタリング機能が損なわれることがなく、 $1/f$ 雑音を効果的に減少させることができる。

【0020】

さらに、このフィルタの入力段にバイポーラトランジスタが含まれている各アンプにおいて、それらアンプの入力インピーダンスは、自己の入力に接続されている上記抵抗より十分大きいことで、アンプに漏れるスイッチトキャパシタの電荷は、元々抵抗に漏れている量よりかなり少なくできる。これにより、入力段に MOS トランジスタを使った場合と比べてもフィルタ特性はほとんど変わらなくすることができる。

【0021】

そして、これらバイポーラトランジスタが使われているスイッチトキャパシタ・フィルタは、同一の基板上に作られていることを特徴とする。これにより、本発明のアンチエイリアシング機能を組み込んだ低雑音スイッチトキャパシタ・フィルタを 1 チップの L S I にしたり、さらに他の回路と同一チップ内に置いた複合的な 1 チップ L S I にしたりすることができる。よって、部品点数や、部品占有面積を削減できるので、本チップを使った製品の小型化に役立つ。

【0022】

最後に、これらバイポーラトランジスタが使われているスイッチトキャパシタ

・フィルタは、低中間周波数を用いるデジタル無線放送、通信の受信機の間周波数部、あるいは、中間周波数を用いないデジタル無線放送、通信の受信機のアナログベースバンド部に用いられることを特徴とする。これにより、振幅レベルの大きい妨害波が十分に減衰されない一方で、所望信号の振幅レベルが小さい状態で、このフィルタに入力する様な場合でも、フィルタ自身の $1/f$ 雑音が小さいので、所望信号との S/N 比を大きく取れるので、デジタル無線放送の受信感度を損なわなくて済む。

【0023】

【発明の実施の形態】

図1に本発明を採用したアンチエイリアシング機能を組み込んだスイッチトキャパシタ・3次ローパス・フィルタの回路図を示す。基本構成は、従来の技術で述べた図4と同じであるので、詳しい説明は省略する。ただし、従来の技術と異なるのは、1段目アンプA11（図中104）は、入力段がバイポーラトランジスタで構成されていることである。このアンプの一例を図2に示す。従来のスイッチトキャパシタ・フィルタで用いていた図5の差動折り返しカスコード型アンプの入力段の入力MOSトランジスタM1（501）、M2（502）がNPNバイポーラトランジスタQ1（201）、Q2（202）になっている。エミッタ接地におけるバイポーラトランジスタの入力インピーダンスは、MOSトランジスタのソース接地の入力インピーダンスに比べればかなり小さくなるため、差動アンプとしての正側入力と負側入力間の入力インピーダンスも図5の場合に比べてかなり小さくなる。ただし、この入力インピーダンスは1段目アンプA11（104）に接続されている抵抗R1（131）、R2（132）より十分大きくしておく。これにより、この入力インピーダンスのフィルタ特性に与える影響は無視できる。なぜなら、1段目アンプA11（104）においては、元々、スイッチトキャパシタSC1（111）にサンプリング毎に蓄えられた電荷は、抵抗R1（131）、R2（132）を通して漏れており、アンプA11（104）の入力インピーダンスが抵抗R1（131）、R2（132）よりも十分大きければ、トランジスタ側に漏れる電荷量は無視できる。詳しいことは、後述する。

【0024】

バイポーラトランジスタは、MOSトランジスタに比べて $1/f$ 雑音が非常に小さいという特徴を持っている。このため、バイポーラトランジスタを入力部に持つアンプA11(104)内で発生する $1/f$ 雑音は、従来のMOSトランジスタを入力部に持った場合に比べても非常に小さくすることができる。特に、1段目の積分回路にゲインを持たせたフィルタでは、アンプ1の特にその入力段で発生する雑音がフィルタ全体の雑音の多くを占めるため、このバイポーラトランジスタによる $1/f$ 雑音の減少の効果は大きい。

【0025】

そこで、もし可能なら、入力段の入力部のバイポーラトランジスタQ1(201)、Q2(202)に引き続き、負荷であるMOSトランジスタM3(203)、M4(204)をバイポーラトランジスタに置き換えれば、さらに $1/f$ 雑音の減少効果を大きくすることができる。そして、次段のMOSトランジスタM5(205)とM6(206)、M7(207)とM8(208)それぞれのペア、あるいは両ペアをバイポーラトランジスタに置き換えれば、よりいっそう $1/f$ 雑音の減少効果を大きくすることができる。ただし、MOSトランジスタをバイポーラトランジスタに置き換えることによる $1/f$ 雑音の減少効果は、入力段の入力部から遠くなるほど小さくなる。

【0026】

フィルタにおいて、各段各部で信号が飽和しないように、1段目積分回路より他段積分回路にゲインを持たせたり、1段目積分回路を信号帯域でも減衰させたりする場合がある。この様なとき、1段目積分回路のアンプA11(104)の入力段だけバイポーラトランジスタにしてもフィルタ全体の $1/f$ 雑音の削減効果が小さくなる。あるいは、1段目のアンプの入力段だけバイポーラトランジスタに置き換えるだけでは、フィルタ全体から見た場合にまだ $1/f$ 雑音が大きい場合がある。

【0027】

そこで、これらの場合に対処するため、1段目のアンプA11(104)に関わらず、スイッチトキャパシタから抵抗に置き換わった積分回路の中で、フィル

タ全体の $1/f$ 雑音に大きな影響を与えるアンプ全ての入力段にバイポーラトランジスタを使用することができる。つまり、図1のフィルタの場合、スイッチトキャパシタから抵抗に置き換わった積分回路のアンプはA11 (104)、A2 (102) であるから、アンプA11 (104) だけ、あるいはアンプA2 (102) だけ、それともアンプA11 (104)、A2 (102) の両方について、入力段を図2のバイポーラトランジスタで構成すればよい。

【0028】

また、図6 (b) のLow-IF方式のIF部、Zero-IF方式のベースバンド部のバンドパスフィルタあるいはローパスフィルタとして本スイッチトキャパシタ・フィルタを使う場合は、信号成分だけでなく妨害波成分つまりフィルタの通過帯域外における周波数成分が予想される最大レベルでフィルタに入力されたときでもフィルタ各段各部で妨害波成分が飽和し、その影響で信号成分が歪まない様に各段のゲイン配分を行う。ここでも、フィルタ全体の $1/f$ 雑音に大きな影響を与えるアンプ全ての入力段にバイポーラトランジスタを使用することができる。

【0029】

以上のように、アンチエイリアシング機能を組み込んだスイッチトキャパシタ・フィルタは、そのスイッチトキャパシタを抵抗に置き換えた積分回路においては、この積分回路内の他のスイッチトキャパシタの電荷は、その置き換えた抵抗により、元々漏れている。もちろん、この電荷の漏れを考慮してフィルタ特性が変わらないように抵抗、キャパシタ、スイッチトキャパシタ内のキャパシタの値は修正されている。

【0030】

そこで、この抵抗に置き換えた積分回路内のアンプの入力インピーダンスが抵抗より十分大きければ、MOSトランジスタの入力インピーダンスほど大きくななくても、フィルタ特性に影響しない。例えば、数 $k\Omega$ の抵抗に対して、入力インピーダンスが数百 $k\Omega$ であれば、入力インピーダンスの影響はほとんどない。この数百 $k\Omega$ の入力インピーダンスは、入力段がバイポーラトランジスタのアンプでも実現可能である。そこで、バイポーラトランジスタを、この抵抗に置き換え

た積分回路内のアンプの入力段に使用することにより、フィルタ内で発生する $1/f$ 雑音を小さくすることができる。

【0031】

つまり、アンチエイリアシング機能を組み込んだスイッチトキャパシタ・フィルタだからこそ、抵抗が使われている積分回路のアンプの入力段にバイポーラトランジスタを用いることができ、これにより、 $1/f$ 雑音の低減化が実現できる。なお、抵抗の値が例えば数百 $k\Omega$ と大きく、アンプの入力インピーダンスとあまり変わらない様なときは、この入力インピーダンスも考慮して、フィルタの抵抗、キャパシタの値を修正すればよい。ただし、アンプの入力インピーダンスは、バイポーラトランジスタの製造ばらつきや、温度特性で大きく変動することを考慮する必要がある。

【0032】

近年、BiCMOS プロセスを使うことで、バイポーラトランジスタと MOS トランジスタを IC の同一基板上に作ることが一般的になってきている。そこで、本発明である一部のアンプの入力段をバイポーラトランジスタに置き換えたスイッチトキャパシタ・フィルタも、この BiCMOS プロセスで作ることができる。つまり、数ミリ角の LSI として、このフィルタを実現できる。

【0033】

さらに、高周波アンプ、周波数変換回路、A/D 変換器などと本フィルタを同一チップ内に入れるなどして、デジタル復調用低雑音アナログ・フロントエンド LSI を実現できる。これにより、部品点数の削減や、部品面積の縮小によるデジタル携帯電話などの小型化に貢献できる。

【0034】

なお、今まで、図 1 の回路図を使って、2 次のアンチエイリアシング機能を持つ 3 次のスイッチトキャパシタ・フィルタを中心に説明してきたが、これら 2 次、3 次という次数に囚われない、あらゆるアンチエイリアシング機能を組み込んだスイッチトキャパシタ・フィルタに、本発明を適用できることは言うまでもない。

【0035】

本特許によるアンチエイリアシング機能を組み込んだスイッチトキャパシタ・フィルタの $1/f$ 雑音減少の効果の例を示す。図3は、通過帯域に20 dBのゲインを持つカットオフ周波数800 kHzの7次楕円ローパス・フィルタに、2次のアンチエイリアシング機能を組み込んだスイッチトキャパシタ・フィルタの入力換算雑音をシミュレーションで求めた周波数特性である。ここでこのフィルタは $0.5\ \mu\text{m}$ ルールBiCMOSで作られたものである。

【0036】

このBiCMOSプロセスは、NPNバイポーラトランジスタ、N、PチャネルMOSトランジスタをシリコン基板上に作ることができる。このフィルタの1段目、2段目の積分回路のアンプは、図2、図5に示すような折り返しカスコード型アンプであり、図3では、(1) 全てMOSトランジスタの場合（図5に対応）、(2) 1段目積分回路のアンプのみNチャネルMOSトランジスタがNPNバイポーラトランジスタに置き換わった場合（図5において、MOSトランジスタM1、M2、M7、M8がバイポーラトランジスタへ置き換ったもの）、(3) 1段目、2段目積分回路のアンプのNチャネルMOSトランジスタがNPNバイポーラトランジスタに置き換わった場合それぞれの入力換算雑音を示す。この図3からわかるように、本発明を適用しなかった(1)は周波数の増加とともに電圧が下がる特性を持つ $1/f$ 雑音が大きい一方、本発明を適用した(2)、(3)は $1/f$ 雑音がかなり小さいことがわかる。

【0037】

また、(2)と(3)で本発明の効果は小さいこともわかる。つまり、1段目積分回路のアンプに本発明を適用することで、大幅な $1/f$ 雑音の減少が期待でき、さらに必要なら2段目積分回路のアンプにも本発明を適用していけばよい。

【0038】

本発明を図6(b)に示すLow-IF、Zero-IF方式受信機のIF部あるいはベースバンド部のバンドパスフィルタ（あるいはローパスフィルタ）に適用すると、大幅な $1/f$ 雑音の減少が期待できる。したがって、フィルタ入力において、妨害波の振幅レベルが高くフィルタ内部で飽和が起きないように、信号レベルが低く抑えられている場合でも、本発明を適用しない場合よりS/N比

を十分に取ることができる。これは、図3の(1)と(2)、(3)を比べれば明らかである。

【0039】

【発明の効果】

以上のように、本発明によれば、アンチエイリアシング機能を組み込み、さらに $1/f$ 雑音を低減できる最適なスイッチトキャパシタ・フィルタを提供することができる。

【図面の簡単な説明】

【図1】 本発明に関わるアンチエイリアシング機能を組み込んだスイッチトキャパシタ・フィルタの一実施例を示す回路図である。

【図2】 図1のアンプA11における入力段の回路図の一例である。

【図3】 本発明を適用しない場合、した場合のアンチエイリアシング機能を組み込んだスイッチトキャパシタ・フィルタの入力換算雑音の周波数特性を示す図である。

【図4】 従来のアンチエイリアシング機能を組み込んだスイッチトキャパシタ・フィルタの一実施例を示す回路図である。

【図5】 図4のアンプA1における入力段の回路図の一例である。

【図6】 無線受信機の構成例として、(a)がスーパーヘテロダイン方式(b)がLow-IFあるいはZero-IF方式のブロックダイアグラムである。

【図7】 従来のチョッパを利用して $1/f$ 雑音を減らす方法の概略図である。

【符号の説明】

101、102、103…入力段にMOSトランジスタを使用したアンプ(A1、A2、A3)

104…入力段にバイポーラトランジスタを使用したアンプ(A11)

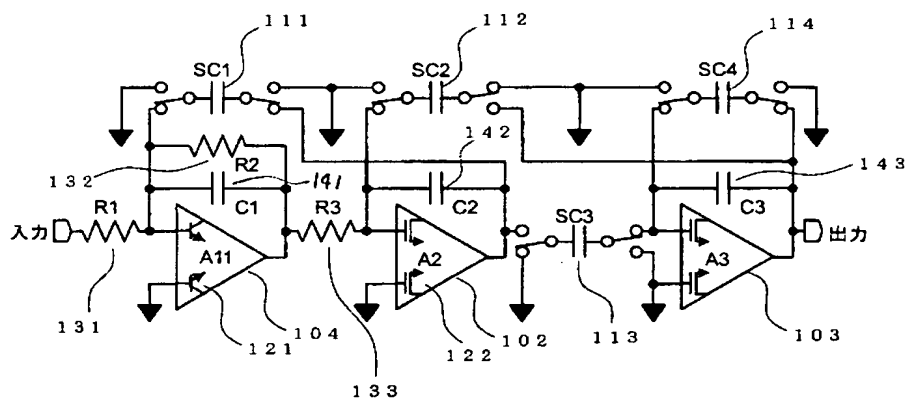
111、112、113、114…スイッチトキャパシタ(SC1、SC2、SC3、SC4)

131、132、133…抵抗(R1、R2、R3)

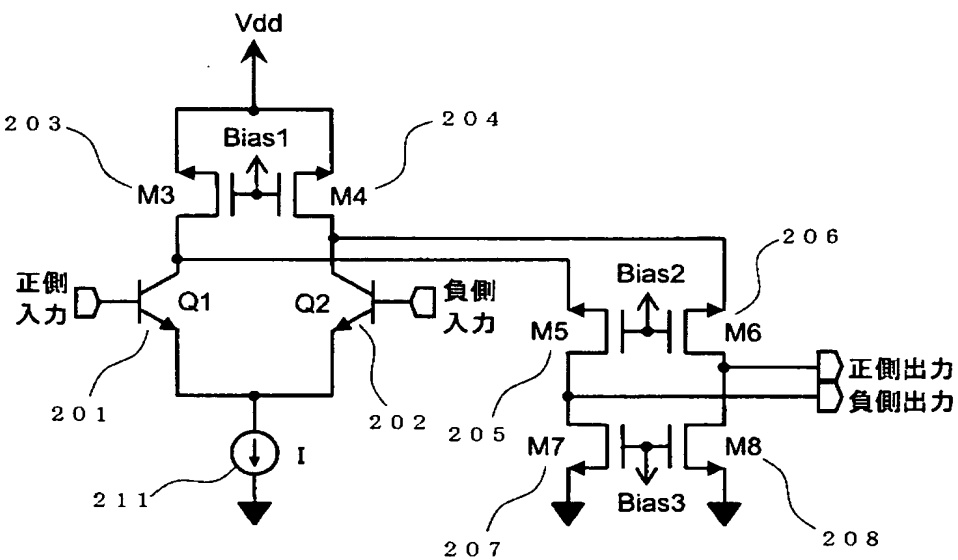
141、142、143…キャパシタ (コンデンサ) (C1、C2、C3)
201、202…バイポーラトランジスタ (Q1、Q2)
203、204、205、206、207、208、501、502…MOSト
ランジスタ (M3、M4、M5、M6、M7、M8、M1、M2)
211…定電流源
401…フィルタ
402、403…乗算器

【書類名】 図面

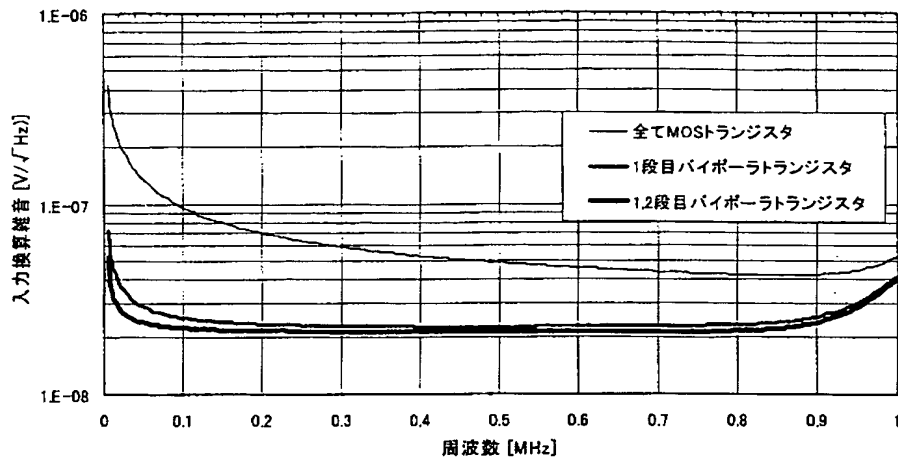
【図 1】



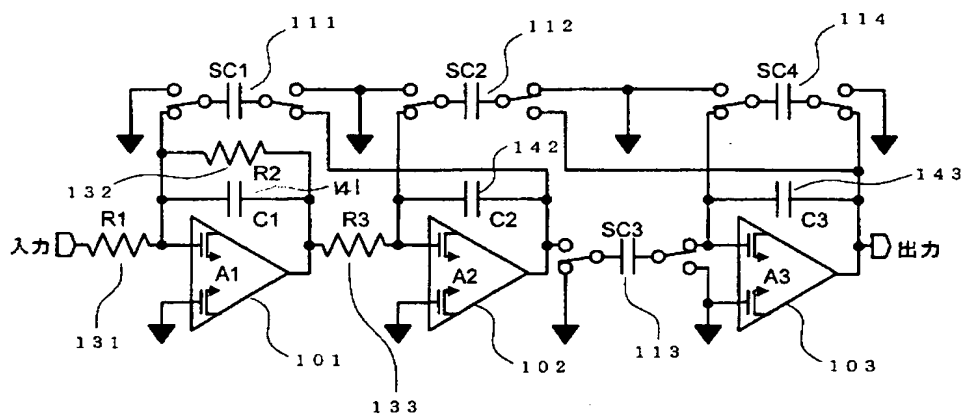
【図 2】



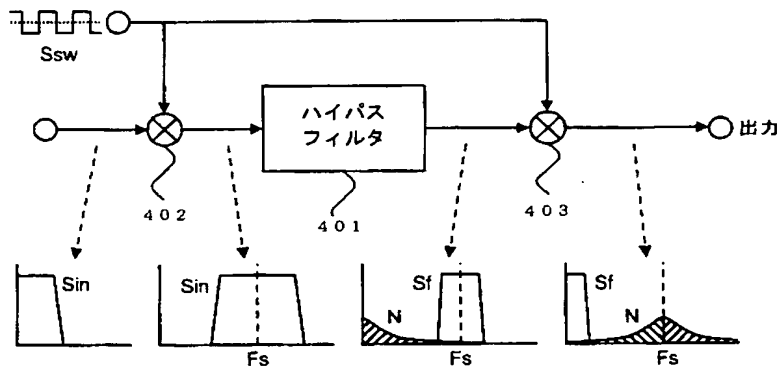
【図 3】



【図 4】



【図 7】



【書類名】 要約書

【要約】

【課題】 アンチエイリアシング機能を組み込んだスイッチトキャパシタ・フィルタにおいて、 $1/f$ 雑音の発生を抑える手段を提供する。

【解決手段】 アンプとスイッチトキャパシタからなる積分回路の複数段構成の、少なくとも 1 段目の積分回路に抵抗が使用されているアンチエイリアシング機能を組み込んだスイッチトキャパシタ・フィルタにおいて、この抵抗が使われている 1 個以上の積分回路のアンプの入力段はバイポーラトランジスタで構成されていることを特徴とするスイッチトキャパシタ・フィルタ。

【選択図】 図 1

特願 2 0 0 3 - 0 9 8 8 4 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社